

## Patent Abstracts of Japan

PUBLICATION NUMBER : 01254014  
 PUBLICATION DATE : 11-10-89

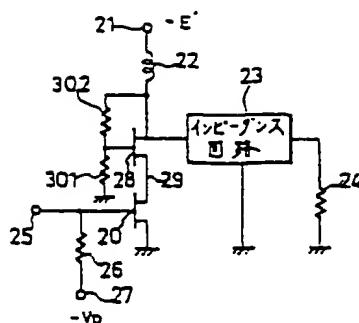
APPLICATION DATE : 04-04-88  
 APPLICATION NUMBER : 63082470

APPLICANT : TOSHIBA CORP;

INVENTOR : ICHITSUBO IKURO;

INT.CL. : H03F 3/217 H03F 1/02 H03F 3/24  
 H04B 1/04

TITLE : POWER AMPLIFIER



ABSTRACT : PURPOSE: To reduce a peak current, to increase the fundamental wave output impedance and to improve the power addition rate by connecting an output impedance circuit across three-terminal semiconductor element groups connected in series.

CONSTITUTION: The source of a 1st three-terminal semiconductor element (FET) 20 is connected to ground and a bias terminal 27 is connected to the gate via a high frequency input terminal 25 and a high frequency (RF) blocking resistor 26. A voltage -VP near a pinch-off voltage is applied to the bias terminal 27. The drain of the FET 20 is connected to the source of the 2nd FET 28, the drain is connected to a DC power terminal 21 via an RF choke 22 and connected to ground via an output impedance circuit 23 and a load 24. The gate of the FET 28 is connected to ground via a resistor 301 and to a power line via a resistor 302. Thus, the peak current is reduced, the fundamental wave output impedance is increased and the power addition efficiency is improved.

COPYRIGHT: (C)1989,JPO&Japio

## ⑪ 公開特許公報 (A) 平1-254014

⑤Int.Cl. <sup>1</sup>	識別記号	序内整理番号	⑩公開 平成1年(1989)10月11日
H 03 F 3/217		8836-5 J	
1/02		6707-5 J	
3/24		8836-5 J	
H 04 B 1/04		E-8020-5 K	審査請求 未請求 請求項の数 1 (全4頁)

⑪発明の名称 電力増幅器

⑫特 願 昭63-82470

⑬出 願 昭63(1988)4月4日

⑭発明者 市坪 純郎 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

⑮出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑯代理人 弁理士 鈴江 武彦 外2名

## 明細書

高性能化をした高周波電力増幅器に関する。

## (従来の技術)

高周波電力増幅器の重要な性能上の課題は高効率化である。増幅器の基本動作はA級動作であるが、高効率化の点からB級、およびC級が用いられてきた。A級、B級動作の理論効率(以下単に効率と言う場合はコレクタ効率あるいはドレン効率をさす)の限界はそれぞれ50%、78.5%である。ちなみにB級動作の流通角(コレクタあるいはドレンにRF(高周波)電流が流れる間の位相角)は180度であるが、C級動作では効率を上げるために流通角を少なくしており、流通角0度の時に理論効率100%が得られる。しかし利得は流通角の減少とともに低下するので電力付加効率の上限は実際には70~80%程度に止まる。

高周波電力増幅器の効率をさらに高めるためにE級やF級動作が提案されている。これらの動作はいずれも半導体素子を高周波で作動するスイッチとして利用するもので、半導体素子の持つ基本的増幅機能を利用するA級、B級、C級動作とは

## 1. 発明の名称

電力増幅器

## 2. 特許請求の範囲

被電流制御路を直列に共有するように直列接続された複数個の3端子半導体素子と、この直列接続された3端子半導体素子群の両端に直流電圧を印加する電源と、前記直列接続された3端子半導体素子群の一端を構成する1つの3端子半導体素子の電流制御端子に接続された高周波入力端子と、前記複数個の3端子半導体素子の電流制御端子に接続されたバイアス回路と、前記直列接続された3端子半導体素子群の両端間に接続された出力インピーダンス回路とを具備することを特徴とする電力増幅器。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## 〔産業上の利用分野〕

本発明は、通信機器等の出力段に用いられる電力増幅器に係り、特に高効率化をはじめとする

概念的に異なる動作モードである。いずれの動作も利得が高く理論効率が100%であるために電力付加効率としてC級より高効率である。E級とF級の違いは高周波成分も含めた出力負荷のインピーダンス条件の差による。以下、第3図により従来のFETを用いたF級動作を例にスイッチングによる高効率電力増幅器を説明する。

第3図(a)で10はソース接地のFETで、このFET10のドレインにはRFチョーク12を介してDC電源端子11が接続されると共に出力インピーダンス回路13を介して電力増幅器の負荷(50オーム)14が接続される。FET10のゲートはRF阻止用の高抵抗16を介してほぼピンチオフ近傍の電圧-V<sub>p</sub>にバイアスされる。入力信号は端子15に印加され、RF信号が正の時FET10を導通、負の時非導通の状態にオン、オフする。これは第3図(b)に示す様な入力信号の周期に同期したスイッチ19を含む回路と考えられ、スイッチ19のオン状態においてはスイッチ19の端子電圧vは0となり、オフ状

態においてはスイッチ19を流れる電流Iが0となる。具体的な電流電圧波形はスイッチ19から負荷14側を見たインピーダンスZ(ω)による。ここでωは角周波数である。

今、第3図(c)に示す様に流通角が180度、電流が正弦波の半波波形、電圧が矩形波とすれば、電流、電圧は次の様な周波数成分に展開される。

$$i(t) = \frac{I_0}{\pi} + \frac{I_0}{2} \sin \omega t - \frac{2I_0}{\pi} \sum_{n=1}^{\infty} \frac{\cos 2n\omega t}{4n^2 - 1} \quad (1)$$

$$v(t) = \frac{V_0}{2} - \frac{2V_0}{\pi} \sum_{n=1}^{\infty} \frac{\sin(2n-1)\omega t}{2n-1} \quad (2)$$

従って、基本波に対するインピーダンス条件は

$$Z_1 = \frac{4}{\pi} \cdot \frac{V_0}{I_0} \quad (3)$$

となり、高調波に対しては

$$Z_n = \begin{cases} 0 & n: \text{偶数} \\ \infty & n: \text{奇数} \end{cases} \quad (n \text{ は高調波の次数}) \quad (4)$$

の条件が要求される。なお、(1)、(2)式から電流および電圧のピーク値I<sub>0</sub>、V<sub>0</sub>は増幅器のDC(直流)電流Iと電圧Vにより次の様に定まる事がわかる。

$$I = \frac{I_0}{\pi} \quad (5)$$

$$E = \frac{V_0}{2} \quad (6)$$

以上の事からDC消費電力P<sub>DC</sub>、および基本波RF出力P<sub>0</sub>は

$$P_{DC} = P_0 = \frac{I_0 V_0}{2\pi} \quad (7)$$

となり、従ってドレイン効率はn =  $\frac{P_0}{P_{DC}}$ は100%となる。

(発明が解決しようとする課題)

しかしながら、(7)式からわかる様に出力電力はスイッチ端子電流I<sub>0</sub>と電圧V<sub>0</sub>の積で定まるので、所要の高出力電力を得るには電流か電圧のいずれかを増やすねばならない。ところが、半導体素子の耐電圧には限度があり、例えば高周波GaAsFETではゲート・ドレイン間の耐圧は20V程度、従ってドレイン・ソース間ではおよそ15Vが限度である。そこで高出力化のためには電流を増やす事で対処せざるを得ない。

例えば出力3Wを得るには約1.3Aのピーク電流が必要となり、電流容量の大きいFETを用いるか、その様な大電流容量のFETがなければFETを並列接続し等価的に電流容量を大きくする必要がある。ところが電流容量の大きいFETは高価であり、一方FETを並列接続するにはFETや回路のアンバランスによるFET破壊の問題がある。

又、高出力化に伴う第2の問題点は(3)式で与えられる基本波出力インピーダンスが低くなる事である。先の3W出力の場合にはZ = 1.5Ωであり、高出力化とともにインピーダンスはさらに低下し出力負荷である50Ωとの差が大きくなる。これは整合回路の損失による効率低下の原因となるだけでなく、動作周波数帯域の狭帯域化や整合回路の大形化を招く。

更に、従来技術の第3の問題点は利得が十分大きくないために電力不可効率が低下することである。今電力利得をGとすれば電力付加効率η<sub>add</sub>は次のようになる。

$$\eta_{add} = \left(1 - \frac{1}{G}\right) \eta \quad (8)$$

( $\eta$  : ドレイン効率)

800 MHz 帯における F 級増幅器の利得はおよそ 10 dB であるので電力付加効率はドレイン効率の約 90 % となる。100 % に近い高効率増幅器ではこの効率低下は発熱量の大絶な割合増を意味する。

本発明は上記の事情に鑑みてなされたもので、ピーク電流値が少なく、また基本波出力インピーダンスが高く、かつ電力付加効率の高い、半導体素子のスイッチング動作による高効率の電力増幅器を提供することを目的とする。

#### [発明の課題]

##### (課題を解決するための手段と作用)

本発明は上記目的を達成すために、被電流制御路を直列に共有するように直列接続された複数個の 3 端子半導体素子と、この直列接続された 3 端子半導体素子群の両端に直流電圧を印加する電源と、前記直列接続された 3 端子半導体素子群の

インは RF チョーク 22 を介して DC 電源端子 21 に接続されると共に、出力インピーダンス回路 23 及び負荷 24 を介して接地される。前記 FET 28 のゲートは抵抗 301 を介しアースに、又抵抗 302 を介し電源ラインに接続される。

第 1 の FET 20 のゲートはピンチオフ近傍にバイアスされており、端子 25 に印加された RF 入力信号により駆動され、第 1 の FET 20 がスイッチングされる。入力 RF 信号の負の時は第 1 の FET 20 はオフとなり、第 1 の FET 20 のドレイン電圧、すなわち第 2 の FET 28 のソース電位 29 はほぼ 0 となる。このため第 2 の FET 28 はゲートが順方向にバイアスされるのでオン状態となる。すなわち第 1 、第 2 の FET 20 、 28 から成るスイッチは短絡となる。

一方、入力 RF 信号が正の時には第 1 の FET

一端を構成する 1 つの 3 端子半導体素子の電流制御端子に接続された高周波入力端子と、前記複数個の 3 端子半導体素子の電流制御端子に接続されたバイアス回路と、前記直列接続された 3 端子半導体素子群の両端間に接続された出力インピーダンス回路とを具備することを特徴とするもので、半導体素子を直列に接続しピーク電圧を上げて高出力化するとともに、電力利得の向上により電力付加効率の改善をはかるものである。

#### (実施例)

以下図面を参照して本発明の実施例を詳細に説明する。

第 1 図は本発明の一実施例を示し、3 端子半導体素子、例えば第 1 の FET 20 はソースが接地される。この FET 20 のゲートには高周波入力端子 25 が接続されると共に RF 阻止用の高抵抗 26 を介してバイアス端子 27 に接続される。このバイアス端子 27 にはほぼピンチオフ近傍の電圧  $-V_p$  が加えられる。前記 FET 20 のドレインは第 2 の FET 28 のソースに接続され、ドレ

20 はオンとなり、第 1 の FET 20 のドレイン電圧、すなわち第 2 の FET 28 のソース電位 29 はほぼ 0 となる。このため第 2 の FET 28 はゲートが順方向にバイアスされるのでオン状態となる。すなわち第 1 、第 2 の FET 20 、 28 から成るスイッチは短絡となる。

要するに、本実施の回路は FET の直列回路であるが、そのスイッチング動作は従来例の FET 単体のスイッチング動作と全く等価である。本実施例では FET を直列に 2 個用いているためにスイッチ両端のピーク電圧を従来の 2 倍に上げる事ができ高出力化が可能となる。

本実施例の利点は次の通りである。

(1) FET の直列接続であるために FET 間の電流アンバランスが生ぜず安定な動作が可能となる。

(2) (3) 式から分かるようにピーク電圧  $V$  が 2 倍になるために基本波インピーダンス  $Z$  も 2 倍となり、より 50 Ω に近づくので 50 Ω 負荷との整合が容易となる。この事により電力増幅器の広

帯域化、整合回路の小形化、整合回路損の低減による効率向上が可能となる。

(3) 信号入力はFET単体を駆動する電力で良いために電力利得が2倍に向かう。この結果電力負荷効率が改善され、例えば前述の800MHzの場合には従来の電力負荷効率の限界が90%が95%にまで向上し、発熱量は半減する。例えば3W出力の増幅器では発熱量が300mWから150mWになる。

以上述べたように本実施例によれば、小形、広帯域、高効率の高出力電力増幅器が実現できる。本実施例の説明ではFETを例に取ったが、バイポーラトランジスタやSIT等、電力増幅用の半導体を利用できる事は当然である。半導体素子の直列接続数も2個以上に増やした回路構成も可能である。第2図はバイポーラトランジスタ31, 32を3個直列接続した本発明の他の実施例で、40はトランジスタ31, 32のベースバイアス抵抗である。

尚、E級動作は出力回路のインピーダンス整合回

路の条件が若干異なるが、本発明の基本概念はそのまま適用可能である。

#### [発明の効果]

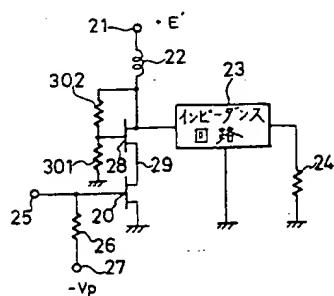
以上述べたように本発明によれば、ピーク電流値が少なく、また基本波出力インピーダンスが高く、かつ電力付加効率の高い、半導体素子のスイッチング動作による高効率の電力増幅器を提供することができる。

#### 4. 図面の簡単な説明

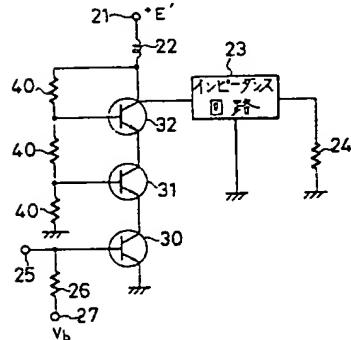
第1図本発明の一実施例を示す回路図、第2図は本発明の他の実施例を示す回路図、第3図は従来の電力増幅器を説明する為の説明図である。

20, 28…FET, 22…RF choke, 23…出力インピーダンス回路, 24…負荷, 25…高周波入力端子, 26…RF阻止用の高抵抗, 301, 302…ゲートバイアス抵抗。

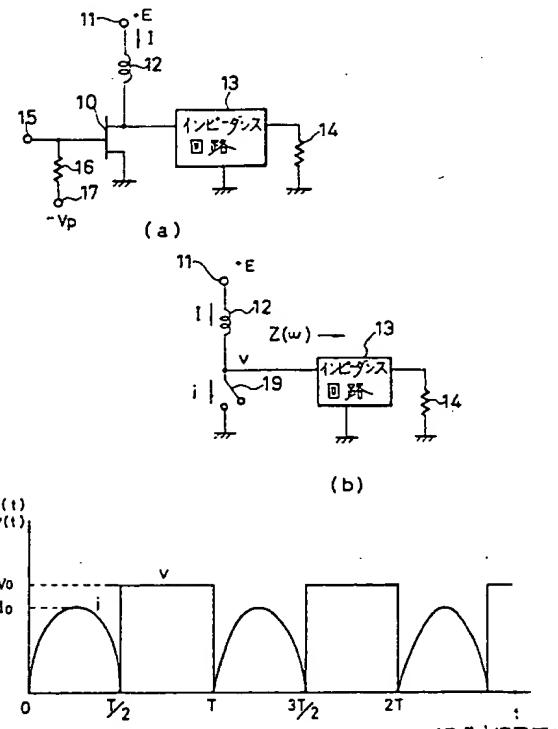
出願人代理人 井理士 鈴江武彦



第1図



第2図



第3図